

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-115736

(43)Date of publication of application : 18.04.2003

(51)Int.Cl.

H03H 7/46
H03H 7/075

(21)Application number : 2001-310387

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 05.10.2001

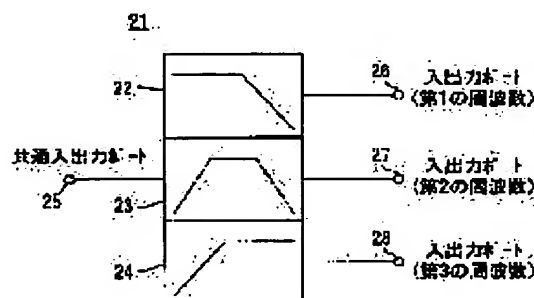
(72)Inventor : NOSAKA KOJI

(54) THREE BRANCH FILTER AND MULTIPLEXER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an integrated three branch filter and multiplexer for branching or multiplexing three frequency signals of a first frequency, a second frequency higher than the first frequency and a third frequency higher than the second frequency.

SOLUTION: The device consists of integrated components such as a first LC filter 22 having the first frequency as a passband and the second and the third frequencies as an attenuation band, a second LC filter 23 having the second frequency as a passband and the first and the third frequencies as an attenuation band, and a third LC filter 24 having the third frequency as a passband and the first and the second frequencies as an attenuation band. Any one of respective input output ports of the filters 22-24 is bundled into a common input output port 25.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-115736

(P2003-115736A)

(43) 公開日 平成15年4月18日 (2003. 4. 18)

(51) Int.Cl.⁷

識別記号

F I

フォーマット (参考)

H 0 3 H 7/46
7/075

H 0 3 H 7/46
7/075

A 5 J 0 2 4
Z

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願2001-310387 (P2001-310387)

(22) 出願日 平成13年10月5日 (2001. 10. 5)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 野阪 浩司

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(74) 代理人 100085143

弁理士 小柴 雅昭

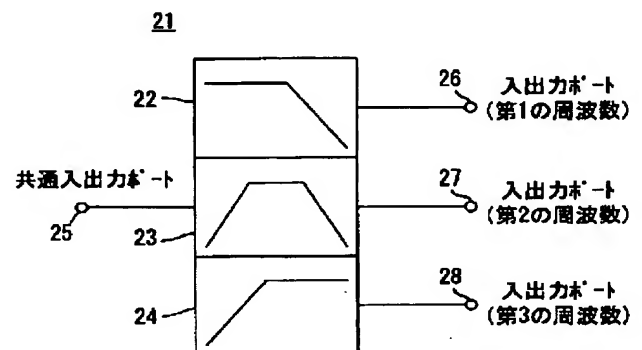
Fターム (参考) 5J024 AA01 BA03 BA04 CA02 CA03
CA04 DA04 DA29 EA01 EA02
EA03

(54) 【発明の名称】 3分波・合波器

(57) 【要約】

【課題】 第1の周波数とそれより高い第2の周波数とそれより高い第3の周波数との3つの周波数信号を分波または合波するための一体化された3分波・合波器を提供する。

【解決手段】 第1の周波数を通過域としかつ第2および第3の周波数を減衰域とする第1のLCフィルタ22と、第2の周波数を通過域としかつ第1および第3の周波数を減衰域とする第2のLCフィルタ23と、第3の周波数を通過域としかつ第1および第2の周波数を減衰域とする第3のLCフィルタ24とが一体化された部品として構成される。第1ないし第3のLCフィルタ22～24の各々の入出力ポートのいずれか一方が共通入出力ポート25として束ねられる。



【特許請求の範囲】

【請求項 1】 第 1 の周波数と第 1 の周波数より高い第 2 の周波数と第 2 の周波数より高い第 3 の周波数との 3 つの周波数信号を分波または合波するための 3 分波・合波器であって、

第 1 の周波数を通過域としかつ第 2 および第 3 の周波数を減衰域とする第 1 の LC フィルタと、

第 2 の周波数を通過域としかつ第 1 および第 3 の周波数を減衰域とする第 2 の LC フィルタと、

第 3 の周波数を通過域としかつ第 1 および第 2 の周波数を減衰域とする第 3 の LC フィルタとが一体化された部品として構成され、

前記第 1、第 2 および第 3 の LC フィルタの各々の入出力ポートのいずれか一方が共通入出力ポートとして束ねられていることを特徴とする、3 分波・合波器。

【請求項 2】 前記第 1 の LC フィルタをローパスフィルタによって構成し、前記第 2 の LC フィルタをバンドパスフィルタによって構成し、前記第 3 の LC フィルタをハイパスフィルタによって構成したことを特徴とする、請求項 1 に記載の 3 分波・合波器。

【請求項 3】 積層された複数の誘電体層をもって構成され、かつ前記誘電体層の延びる方向に延びる 2 つの相対向する主面および前記誘電体層の積層方向に延びる 4 つの端面を有する、チップ状の積層体を備え、前記第 1、第 2 および第 3 の LC フィルタの各々に備えるインダクタおよびコンデンサは、それぞれ、前記積層体の内部に形成されるインダクタ導体パターンおよびコンデンサ導体パターンによって与えられることを特徴とする、請求項 1 または 2 に記載の 3 分波・合波器。

【請求項 4】 前記共通入出力ポートならびに前記第 1、第 2 および第 3 の LC フィルタの各々の前記共通ポートではない非共通入出力ポートの 4 つの入出力ポートが、前記積層体の 4 つの端面に分けて配置されていることを特徴とする、請求項 3 に記載の 3 分波・合波器。

【請求項 5】 前記 4 つの入出力ポートの隣り合うものの各間に、グラウンド端子がそれぞれ配置されていることを特徴とする、請求項 4 に記載の 3 分波・合波器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、3 つの周波数信号を分波または合波するための 3 分波・合波器に関するもので、特に、一体化された部品としての形態をなす 3 分波・合波器に関するものである。

【0002】

【従来の技術】 携帯電話などの移動体通信機器の分野において、たとえば、AMPS (Advanced Mobile Phone Service/859±35 MHz) 信号、GPS (Global Positioning System/1575.5±3.0 MHz) 信号、PCS (Personal Communi

cation Service/1920±70 MHz) 信号等の周波数信号が取り扱われている。

【0003】 たとえば、上述の AMPS 信号、GPS 信号および PCS 信号というような 3 つの周波数信号を 1 つの通信機器において取り扱う場合、これら 3 つの周波数信号を分波または合波するための分波・合波器を用いるようにすれば、この分波・合波器以降または以前の回路を共通にすることが可能となり、これによって、通信機器の小型化およびコストダウンを図ることができる。

【0004】 従来、上述のような分波・合波器としては、2 つの周波数信号を分波または合波し得るもの、すなわち 2 分波・合波器が提案されている。このような 2 分波・合波器を用いて、3 つの周波数信号を分波または合波するには、図 13 または図 14 に示すような構成が採用されることになる。

【0005】 第 1、第 2 および第 3 の周波数信号において、第 1 の周波数が最も低く、第 2 の周波数が第 1 の周波数より高く、第 3 の周波数が第 2 の周波数より高いとして、以下の説明を行なう。

【0006】 図 13 に示した構成では、2 つの 2 分波・合波器、すなわち、第 1 の 2 分波・合波器 1 および第 2 の 2 分波・合波器 2 が用いられる。

【0007】 第 1 の 2 分波・合波器 1 は、第 1 の周波数を通過域としかつ第 2 および第 3 の周波数を減衰域とするローパスフィルタ 3 と、第 2 および第 3 の周波数を通過域としかつ第 1 の周波数を減衰域とするハイパスフィルタ 4 とによって構成されている。

【0008】 第 2 の 2 分波・合波器 2 は、第 2 の周波数を通過域としかつ第 3 の周波数を減衰域とするローパスフィルタ 5 と、第 3 の周波数を通過域としかつ第 2 の周波数を減衰域とするハイパスフィルタ 6 とによって構成されている。

【0009】 第 1 の 2 分波・合波器 1 に備えるローパスフィルタ 3 およびハイパスフィルタ 4 の各々の入出力ポートのいずれか一方が共通入出力ポート 7 として束ねられる。

【0010】 第 1 の 2 分波・合波器 1 に備えるローパスフィルタ 3 の他方の入出力ポート 8 は、分波または合波されるべき第 1 の周波数信号を入出力するために用いられる。

【0011】 第 1 の 2 分波・合波器 1 に備えるハイパスフィルタ 4 の他方の入出力ポートは、第 2 の 2 分波・合波器 2 に備えるローパスフィルタ 5 およびハイパスフィルタ 6 の各々の入出力ポートのいずれか一方が束ねられた共通入出力ポートと接続される。

【0012】 第 2 の 2 分波・合波器 2 に備えるローパスフィルタ 5 の他方の入出力ポート 9 は、分波または合波されるべき第 2 の周波数信号を入出力するために用いられる。

【0013】 また、第 2 の 2 分波・合波器 2 に備えるハ

イパスフィルタ 6 の他方の入出力ポート 10 は、分波または合波されるべき第 3 の周波数信号を入出力するために用いられる。

【0014】他方、図 14 に示した構成では、2 つの 2 分波・合波器、すなわち第 1 の 2 分波・合波器 11 および第 2 の 2 分波・合波器 12 が用いられる。

【0015】第 1 の 2 分波・合波器 11 は、第 1 および第 2 の周波数を通過域としかつ第 3 の周波数を減衰域とするローパスフィルタ 13 と、第 3 の周波数を通過域としかつ第 1 および第 2 の周波数を減衰域とするハイパスフィルタ 14 とによって構成される。

【0016】第 2 の 2 分波・合波器 12 は、第 1 の周波数を通過域としかつ第 2 の周波数を減衰域とするローパスフィルタ 15 と、第 2 の周波数を通過域としかつ第 1 の周波数を減衰域とするハイパスフィルタ 16 とによって構成される。

【0017】第 1 の 2 分波・合波器 11 に備えるローパスフィルタ 13 およびハイパスフィルタ 14 の各々の入出力ポートのいずれか一方は、共通入出力ポート 17 として束ねられる。

【0018】第 1 の 2 分波・合波器 11 に備えるローパスフィルタ 13 の他方の入出力ポートは、第 2 の 2 分波・合波器 12 に備えるローパスフィルタ 15 およびハイパスフィルタ 16 の各々の入出力ポートのいずれか一方が束ねられた共通入出力ポートに接続される。

【0019】第 1 の 2 分波・合波器 11 に備えるハイパスフィルタ 14 の他方の入出力ポート 18 は、分波または合波されるべき第 3 の周波数信号を入出力するために用いられる。

【0020】第 2 の 2 分波・合波器 12 に備えるローパスフィルタ 15 の他方の入出力ポート 19 は、分波または合波されるべき第 1 の周波数信号を入出力するために用いられる。

【0021】第 2 の 2 分波・合波器 12 に備えるハイパスフィルタ 16 の他方の入出力ポート 20 は、分波または合波されるべき第 2 の周波数信号を入出力するために用いられる。

【0022】

【発明が解決しようとする課題】上述のような図 13 および図 14 に示した各構成のいずれによっても、3 つの周波数信号を分波または合波することができる。

【0023】しかしながら、いずれの構成においても、2 つの 2 分波・合波器 1 および 2 または 11 および 12 を用い、かつ、これらを接続する必要がある。

【0024】そのため、特定の周波数信号については、2 つのフィルタを通過させる必要があり、その結果、挿入損失の増大を招いてしまう。また、部品点数が比較的多くなり、さらなる小型化に対して支障を来し、そのため、より一層の部品点数の削減およびより一層の小型化が望まれるところである。

【0025】そこで、この発明の目的は、上述したような問題を解決し、あるいは上述したような要望を満たし得る、3 分波・合波器を提供しようとすることである。

【0026】

【課題を解決するための手段】この発明によれば、上述したような技術的課題を解決するため、第 1 の周波数と第 1 の周波数より高い第 2 の周波数と第 2 の周波数より高い第 3 の周波数との 3 つの周波数信号を分波または合波するための 3 分波・合波器が提供される。

【0027】この 3 分波・合波器においては、第 1 の周波数を通過域としかつ第 2 および第 3 の周波数を減衰域とする第 1 の LC フィルタと、第 2 の周波数を通過域としかつ第 1 および第 3 の周波数を減衰域とする第 2 の LC フィルタと、第 3 の周波数を通過域としかつ第 1 および第 2 の周波数を減衰域とする第 3 の LC フィルタとが一体化された部品として構成される。

【0028】そして、第 1、第 2 および第 3 の LC フィルタの各々の入出力ポートのいずれか一方が共通入出力ポートとして束ねられている。

【0029】この発明において、好ましくは、第 1 の LC フィルタはローパスフィルタによって構成され、第 2 の LC フィルタはバンドパスフィルタによって構成され、第 3 の LC フィルタはハイパスフィルタによって構成される。

【0030】また、この発明に係る 3 分波・合波器は、積層型のチップ部品の形態とされることが好ましい。この場合、この発明に係る 3 分波・合波器は、積層された複数の誘電体層をもって構成され、かつ誘電体層の延びる方向に延びる 2 つの相対向する主面および誘電体層の積層方向に延びる 4 つの端面を有する、チップ状の積層体を備え、第 1、第 2 および第 3 の LC フィルタの各々に備えるインダクタおよびコンデンサは、それぞれ、積層体の内部に形成されるインダクタ導体パターンおよびコンデンサ導体パターンによって与えられる。

【0031】上述の好ましい実施態様において、共通入出力ポートならびに第 1、第 2 および第 3 の LC フィルタの各々の共通入出力ポートではない非共通入出力ポートの 4 つの入出力ポートが、積層体の 4 つの端面に分けて配置されることがより好ましい。

【0032】さらに好ましくは、4 つの入出力ポートの隣り合うものの各間に、グラウンド端子がそれぞれ配置される。

【0033】

【発明の実施の形態】図 1 は、この発明の一実施形態による 3 分波・合波器 21 のブロック図である。図 2 は、図 1 に示した 3 分波・合波器 21 の回路図である。

【0034】3 分波・合波器 21 は、第 1 の周波数と第 1 の周波数より高い第 2 の周波数と第 2 の周波数より高い第 3 の周波数との 3 つの周波数信号を分波または合波するためのものである。

【0035】3分波・合波器21は、図1に示すように、第1のLCフィルタ22と第2のLCフィルタ23と第3のLCフィルタ24とを備えている。これら第1ないし第3のLCフィルタ22ないし24は、図3ないし図6を参照して後述する説明から明らかになるように、一体化された部品として構成される。

【0036】第1ないし第3のLCフィルタ22ないし24の各々の入出力ポートのいずれか一方は、共通入出力ポート25として束ねられている。また、第1ないし第3のLCフィルタ22の各々の共通入出力ポート25 10 ではない他方の非共通入出力ポート26、27および28は、それぞれ、分波または合波されるべき第1、第2および第3の周波数を入出力するために用いられる。

【0037】図2において、図1に示した要素に相当する要素には同様の参照符号が付されている。

【0038】図2に示すように、第1のLCフィルタ22は、インダクタL1およびL2ならびにコンデンサC1、C2およびC3を備えるローパスフィルタによって構成される。これによって、第1のLCフィルタ22は、第1の周波数を通過域としかつ第2および 20 第3の周波数を減衰域とするように設定される。

【0039】第2のLCフィルタ23は、インダクタLB1およびLB2ならびにコンデンサCB1、CB2およびCB3を備えるバンドパスフィルタによって構成される。これによって、第2のLCフィルタ23は、第2の周波数を通過域としかつ第1および第3の周波数を減衰域とするように設定される。

【0040】第3のLCフィルタ24は、インダクタLH1ならびにコンデンサCH1、CH2およびCH3を備えるハイパスフィルタによって構成される。これによ 30 って、第3のLCフィルタは、第3の周波数を通過域としかつ第1および第2の周波数を減衰域とするように設定される。

【0041】このような3分波・合波器21は、積層された複数の誘電体層をもって構成されるチップ状の積層体を備えている。図3ないし図6には、積層体29を構成する誘電体層30のうちの典型的なものが平面図で図示されている。図3ないし図6において、通し番号をもって、(1)～(19)が表示されているが、これら 40 (1)～(19)の数字は積層順序を示している。

【0042】積層体29は、誘電体層30の延びる方向に延びる2つの相対向する主面31および32(図3(1)および図6(19)参照)ならびに誘電体層30の積層方向に延びる4つの端面33、34、35および36を有している。

【0043】積層体29の外表面上に形成される端子電極として、前述した共通入出力ポート25が端面33上に形成され、非共通入出力ポート26が端面34上に形成され、非共通入出力ポート27が端面35上に形成され、非共通入出力ポート28が端面36上に形成されて 50

いる。

【0044】また、これら4つの入出力ポート25～28の隣り合うものの各間に、グラウンド端子37がそれぞれ配置されている。この実施形態では、入出力ポート25を挟むように、端面33上に2つのグラウンド端子37が形成され、また、入出力ポート26を挟むように、端面34上に、2つのグラウンド端子37が形成されている。

【0045】積層体29の主面31上には、図3(1)に示すように、方向マーク38が形成される。この方向マーク38は、3分波・合波器21の外観からの方向決めを可能とするためのものである。

【0046】図3(2)に示した誘電体層30上には、インダクタ導体パターン39およびコンデンサ導体パターン40が形成される。

【0047】インダクタ導体パターン39は、2つのグラウンド端子37間を連結するように電氣的に接続される。インダクタ導体パターン39は、図3(2)～(5)、図4(6)～(10)ならびに図5(11)～(13)にそれぞれ示された誘電体層30を貫通するように延びるビアホール導体41とともに、図2に示したインダクタLB2を構成する。

【0048】コンデンサ導体パターン40は、図2に示したコンデンサCH1の一方電極を与えるもので、共通入出力ポート25に電氣的に接続される。

【0049】図3(3)に示した誘電体層30上には、コンデンサ導体パターン42が形成され、図3(4)に示した誘電体層30上には、コンデンサ導体パターン43が形成され、図3(5)に示した誘電体層30上には、コンデンサ導体パターン44が形成され、図4(6)に示した誘電体層30上には、コンデンサ導体パターン45が形成される。これらのうち、コンデンサ導体パターン43は、非共通入出力ポート28に電氣的に接続される。

【0050】また、図3(3)および(4)に示した各誘電体層30を貫通するようにビアホール導体46が設けられる。ビアホール導体46は、コンデンサ導体パターン42および44を互いに電氣的に接続する。

【0051】図2に示したコンデンサCH3は、コンデンサ導体パターン43とコンデンサ導体パターン42および44の各々との対向によって与えられる。

【0052】また、図2に示したコンデンサCH2は、コンデンサ導体パターン44とコンデンサ導体パターン45との対向によって与えられる。

【0053】図4(6)～(8)に示した各誘電体層30を貫通するようにビアホール導体47が設けられる。ビアホール導体47は、図4(6)に示したコンデンサ導体パターン45に電氣的に接続される。

【0054】図4(7)に示した誘電体層30上には、インダクタ間のシールドを与えるためのシールド導体パ

ターン 48 が形成される。シールド導体パターン 48 は、グラウンド端子 37 に電氣的に接続される。

【0055】同様の機能を果たすシールド導体パターン 49、50、51 および 52 が、それぞれ、図 4

(8)、同 (9)、同 (10) および図 5 (11) に示した誘電体層 30 上に形成される。

【0056】また、図 4 (8) 上には、渦巻状に延びるインダクタ導体パターン 53、54 および 55 が形成される。インダクタ導体パターン 53 の一方端は、共通入出力ポート 25 に電氣的に接続され、インダクタ導体パターン 54 の一方端は、非共通入出力ポート 26 に電氣的に接続され、インダクタ導体パターン 55 の一方端は、非共通入出力ポート 27 に電氣的に接続される。

【0057】図 4 (9) に示した誘電体層 30 上には、渦巻状に延びるインダクタ導体パターン 56 が形成される。インダクタ導体パターン 56 の一方端は、グラウンド端子 37 に電氣的に接続される。

【0058】図 4 (10) に示した誘電体層 30 上には、渦巻状に延びるインダクタ導体パターン 57 が形成される。

【0059】前述した図 4 (6) に示したコンデンサ導体パターン 45 に電氣的に接続されるビアホール導体 47 は、図 4 (9) に示したインダクタ導体パターン 56 の他方端に電氣的に接続される。このインダクタ導体パターン 56 は、図 2 に示したインダクタ LH1 を与えるものである。

【0060】図 4 (8) に示したインダクタ導体パターン 53 の他方端は、図 4 (8) および (9) に示した各誘電体層 30 を貫通するビアホール導体 58 を介して、図 4 (10) に示したインダクタ導体パターン 57 の一方端に電氣的に接続される。このようにして、インダクタ導体パターン 53、ビアホール導体 58 およびインダクタ導体パターン 57 は、図 2 に示したインダクタ LL1 を与える。

【0061】図 4 (8) に示したインダクタ導体パターン 54 は、図 2 に示したインダクタ LL2 を与えるものである。

【0062】図 4 (8) に示したインダクタ導体パターン 55 は、図 2 に示したインダクタ LB1 を与えるものである。

【0063】上述したインダクタ導体パターン 55 の他方端には、図 4 (8)、同 (9)、同 (10)、図 5 (11) および同 (12) に示された各誘電体層 30 を貫通するように設けられたビアホール導体 60 に電氣的に接続される。

【0064】また、図 4 (10) に示したインダクタ導体パターン 57 は、その端部近傍において、図 4 (10)、図 5 (11) ~ (15) ならびに図 6 (16) ~ (18) に示された各誘電体層 30 を貫通するビアホール導体 61 に電氣的に接続される。

【0065】図 5 (12) に示された誘電体層 30 上には、コンデンサ導体パターン 62 が形成される。コンデンサ導体パターン 62 は、共通入出力ポート 25 に電氣的に接続される。

【0066】図 5 (13) に示した誘電体層 30 上には、コンデンサ導体パターン 63 が形成される。コンデンサ導体パターン 63 は、図 4 (8) に示したインダクタ導体パターン 55 から延びるビアホール導体 60 に電氣的に接続される。

【0067】図 5 (14) に示した誘電体層 30 上には、コンデンサ導体パターン 64 および 65 が形成される。コンデンサ導体パターン 64 は、共通入出力ポート 25 に電氣的に接続され、コンデンサ導体パターン 65 は、非共通入出力ポート 27 に電氣的に接続される。また、コンデンサ導体パターン 65 は、図 3 (2) に示したインダクタ導体パターン 39 から延びるビアホール導体 41 に電氣的に接続される。

【0068】図 5 (15) に示した誘電体層 30 上には、コンデンサ導体パターン 66 および 67 が形成される。コンデンサ導体パターン 66 は、図 4 (10) に示したインダクタ導体パターン 57 から延びるビアホール導体 61 に電氣的に接続される。また、コンデンサ導体パターン 67 は、2つのグラウンド端子 37 間を電氣的に接続するように延びる。

【0069】図 6 (16) に示した誘電体層 30 上には、コンデンサ導体パターン 68 および 69 が形成される。コンデンサ導体パターン 68 は、非共通入出力ポート 26 に電氣的に接続される。コンデンサ導体パターン 69 は、非共通入出力ポート 27 に電氣的に接続される。

【0070】図 6 (17) に示した誘電体層 30 上には、コンデンサ導体パターン 70 および 71 が形成される。コンデンサ導体パターン 70 は、図 4 (10) に示したインダクタ導体パターン 57 および図 5 (15) に示したコンデンサ導体パターン 66 とともに、ビアホール導体 61 に電氣的に接続される。コンデンサ導体パターン 71 は、2つのグラウンド端子 37 間を電氣的に接続するように延びる。

【0071】図 6 (18) に示した誘電体層 30 上には、コンデンサ導体パターン 72 および 73 が形成される。コンデンサ導体パターン 72 は、グラウンド端子 37 に電氣的に接続される。コンデンサ導体パターン 73 は、非共通入出力ポート 27 に電氣的に接続される。

【0072】図 6 (19) に示した誘電体層 30 上には、コンデンサ導体パターン 74 が形成される。コンデンサ導体パターン 74 は、図 4 (10) に示したインダクタ導体パターン 57、図 5 (15) に示したコンデンサ導体パターン 66 および図 6 (17) に示したコンデンサ導体パターン 70 とともに、ビアホール導体 61 に電氣的に接続される。

【0073】図2に示したコンデンサCB1は、図5(12)および同(14)に示したコンデンサ導体パターン62および64の各々と図5(13)に示したコンデンサ導体パターン63との対向によって与えられる。

【0074】図2に示したコンデンサCB2は、図5(13)に示したコンデンサ導体パターン63と図5(14)に示したコンデンサ導体パターン65との対向によって与えられる。

【0075】図2に示したコンデンサCB3は、図5(15)に示したコンデンサ導体パターン67および図6(17)に示したコンデンサ導体パターン71の各々と、図5(14)に示したコンデンサ導体パターン65、図6(16)に示したコンデンサ導体パターン69および図6(18)に示したコンデンサ導体パターン73の各々との対向によって与えられる。

【0076】図2に示したコンデンサCL3は、図6(16)に示したコンデンサ導体パターン68と、図5(15)に示したコンデンサ導体パターン66および図6(17)に示したコンデンサ導体パターン70の各々との対向によって与えられる。

【0077】図2に示したコンデンサCL2は、図6(18)に示したコンデンサ導体パターン72と、図6(17)および同(19)にそれぞれ示したコンデンサ導体パターン70および74の各々との対向によって与えられる。

【0078】以上のようにして、図3ないし図6にその内部構造を示した積層体29によって、図2に示すような回路が与えられる。

【0079】なお、積層体29を製造するにあたっては、積層セラミック電子部品を製造するための周知の方法を適用することができる。すなわち、誘電体セラミックの原料粉末を含む複数のセラミックグリーンシートが用意され、セラミックグリーンシートの特定のものに、導体パターン39等のための導電性ペースト膜を印刷等により形成するとともに、ビアホール導体41等のための貫通孔を設け、そこに導電性ペーストを充填した後、複数のセラミックグリーンシートを積層し、圧着し、次いで、焼成することによって、積層体29を得ることができる。また、積層体29の端面33～36上に、導電性ペーストを付与し焼き付けることによって、入出力ポート25等となる端子を形成することができる。

【0080】図7および図8は、それぞれ、この発明の他の実施形態を説明するための図3(1)に相当する図である。

【0081】図7および図8において、図3(1)に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0082】図7に示した実施形態では、積層体29の4つの端面33～36の各々において、入出力ポート25～28の各々を挟むように、グラウンド端子37が配

置されている。

【0083】図8に示した実施形態では、グラウンド端子37が、端面33～36の隣り合うものの間にわたって延びるように形成されている。

【0084】これら図3(1)、図7および図8に示した実施形態のいずれにおいても、入出力ポート25～28の隣り合うものの間にグラウンド端子37が配置されるので、入出力ポート25～28の間でのアイソレーション性を高めることができる。

【0085】なお、上述した実施形態では、3分波・合波器21に備えるインダクタやコンデンサのような回路要素が、すべて、積層体29の内部に構成されたが、これら回路要素のうちの一部を、別のチップ部品として、積層体の上面に搭載してもよい。

【0086】図9ないし図12には、この発明に従って構成された一具体例としての3分波・合波器の周波数特性図が示されている。

【0087】これらの周波数特性図を求めるにあたって、第1の周波数信号として、AMPS信号を扱い、第2の周波数信号として、GPS信号を扱い、第3の周波数信号として、PCS信号を扱った。

【0088】図9には、図1に示したローパスフィルタを構成する第1のLCフィルタ22の伝送特性および入出力ポート26からの反射特性が示されている。第1のLCフィルタ22は、AMPS信号のみを通過させる。

【0089】図10には、図1に示したバンドパスフィルタを構成する第2のLCフィルタ23の伝送特性および入出力ポート27からの反射特性が示されている。第2のLCフィルタ23は、GPS信号のみを通過させる。

【0090】図11には、図1に示したハイパスフィルタを構成する第3のLCフィルタ24の伝送特性および入出力ポート28からの反射特性が示されている。第3のLCフィルタ24は、PCS信号のみを通過させる。

【0091】図12には、図1に示した共通入出力ポート25からの反射特性が示されている。

【0092】これら図9ないし図12からわかるように、この発明に係る3分波・合波器によれば、互いに異なる3つの周波数信号を良好に分波または合波することができる。

【0093】

【発明の効果】以上のように、この発明によれば、第1ないし第3のLCフィルタが一体化された部品として構成されるので、部品点数が少なく、それゆえ小型化が容易であるとともに、共通入出力ポートから見て、3つの周波数信号がそれぞれ通るフィルタは単に1つに過ぎないので、挿入損失を低く抑えることができる。

【0094】この発明において、チップ状の積層体を備え、第1ないし第3のLCフィルタの各々に備えるインダクタおよびコンデンサが、それぞれ、積層体の内部に

形成されるインダクタ導体パターンおよびコンデンサ導体パターンによって与えられるようにすれば、一層の小型化が可能となるとともに、たとえば耐湿性といった耐環境性に優れた電子部品とすることができる。

【0095】また、この発明に係る3分波・合波器に備える4つの入出力ポートを、積層体の4つの端面に分けて配置すれば、入出力ポート間のアイソレーション性を高めることができ、さらに、入出力ポートの隣り合うものの各間に、グラウンド端子をそれぞれ配置するようにすれば、アイソレーション性をより高めることができる。したがって、入出力ポート間の不要な結合を抑えることができ、それによる特性の劣化を防止することが可能である。

【図面の簡単な説明】

【図1】この発明の一実施形態による3分波・合波器21のブロック図である。

【図2】図1に示した3分波・合波器21の回路図である。

【図3】図1に示した3分波・合波器21に備える積層体29を構成するいくつかの誘電体層30を示す平面図であり、積層体29の内部構造を示している。

【図4】積層体29を構成する、図3に続くいくつかの誘電体層30を示す平面図である。

【図5】積層体29を構成する、図4に続くいくつかの誘電体層30を示す平面図である。

【図6】積層体29を構成する、図5に続くいくつかの誘電体層30を示す平面図である。

【図7】この発明の他の実施形態を説明するための図3(1)に相当する図である。

【図8】この発明のさらに他の実施形態を説明するための図3(1)に相当する図である。

【図9】この発明に従って構成された一具体例としての3分波・合波器の、図1に示した第1のLCフィルタ2*

*2に関連する周波数特性図である。

【図10】図9に周波数特性を示した3分波・合波器の、図1に示した第2のLCフィルタ23に関連する周波数特性図である。

【図11】図9に周波数特性を示した3分波・合波器の、図1に示した第3のLCフィルタ24に関連する周波数特性図である。

【図12】図9に周波数特性を示した3分波・合波器の、図1に示した共通入出力ポート25から見た反射特性を示す周波数特性図である。

【図13】この発明にとって興味ある第1の従来技術を説明するためのブロック図である。

【図14】この発明にとって興味ある第2の従来技術を説明するためのブロック図である。

【符号の説明】

21 3分波・合波器

22 第1のLCフィルタ

23 第2のLCフィルタ

24 第3のLCフィルタ

25 共通入出力ポート

26, 27, 28 非共通入出力ポート

29 積層体

30 誘電体層

31, 32 主面

33~36 端面

37 グラウンド端子

39, 53~57 インダクタ導体パターン

40, 42~45, 62~74 コンデンサ導体パターン

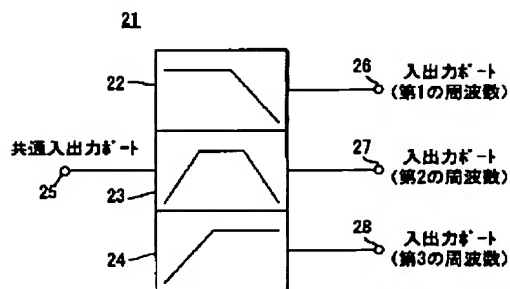
41, 46, 47, 58~61 ビアホール導体

LL1, LL2, LB1, LB2, LH1 インダクタ

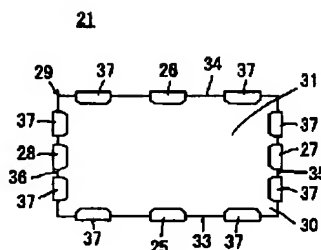
CL1, CL2, CL3, CB1, CB2, CB3, C

H1, CH2, CH3 コンデンサ

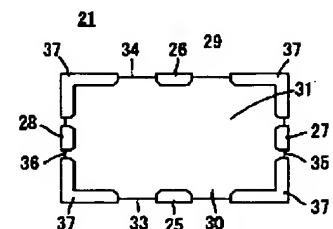
【図1】



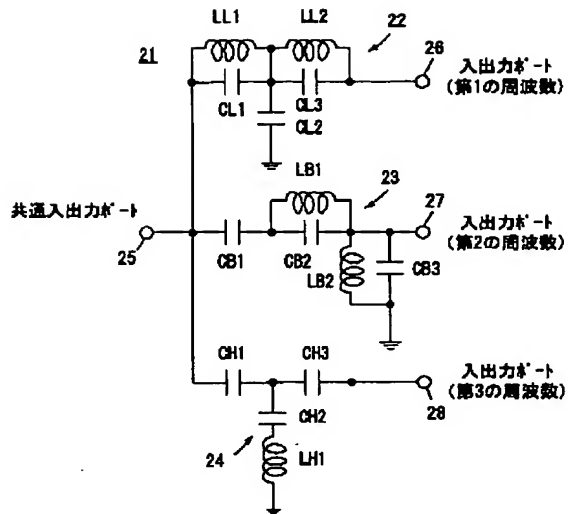
【図7】



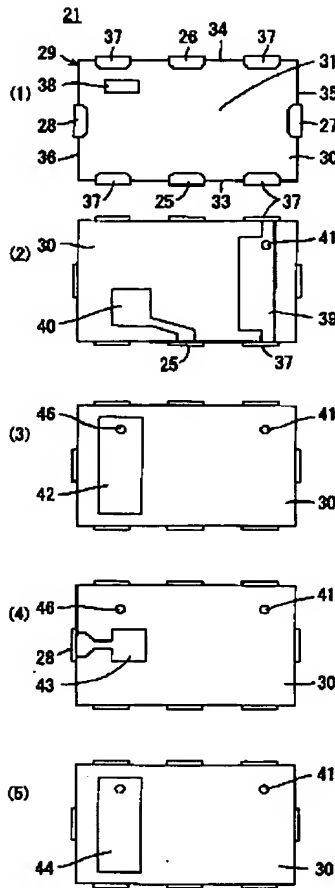
【図8】



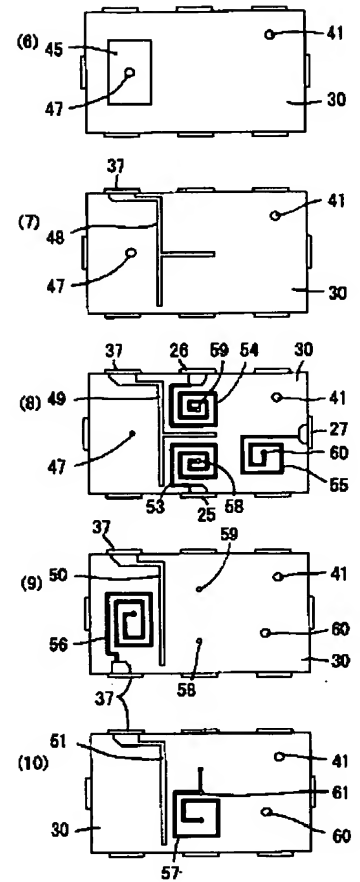
【図2】



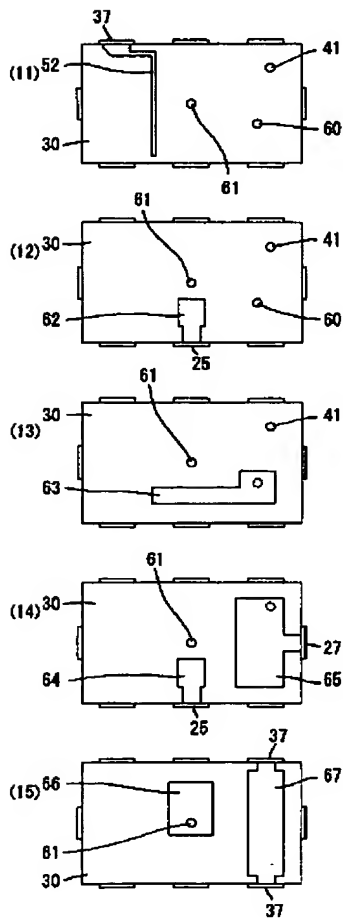
【図3】



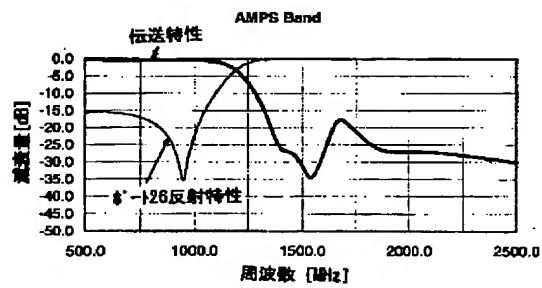
【図4】



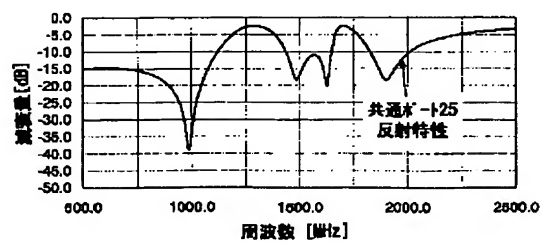
【図5】



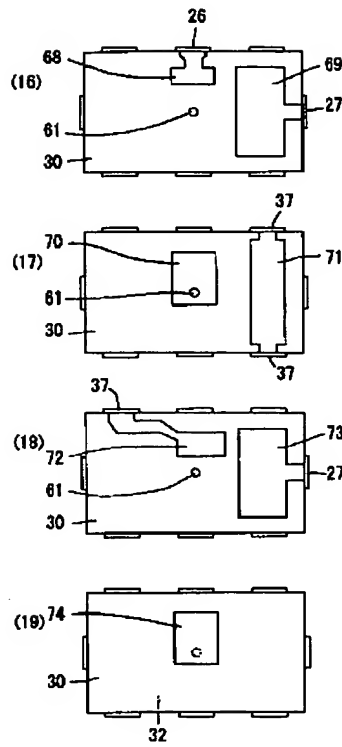
【図9】



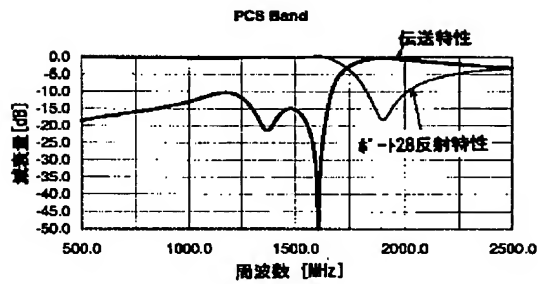
【図12】



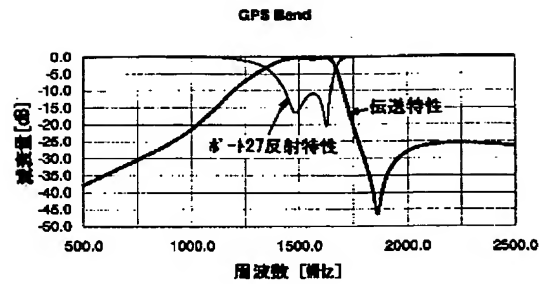
【図6】



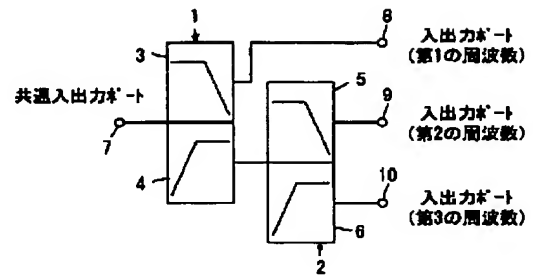
【図11】



【図10】



【図13】



【図14】

